

10/092,573

(translation of the front page of the priority document of
Japanese Patent Application No. 2001-151524)



JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: May 21, 2001

Application Number : Patent Application 2001-151524

[ST.10/C] : [JP 2001-151524]

Applicant(s) : Canon Kabushiki Kaisha

April 5, 2002

Commissioner,

Japan Patent Office

Kouzo OIKAWA

Certification Number 2002-3024531



日本国特許庁
JAPAN PATENT OFFICE

CFM 2543 VS 10/092 513

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 5月21日

出願番号

Application Number:

特願2001-151524

[ST.10/C]:

[JP2001-151524]

出願人

Applicant(s):

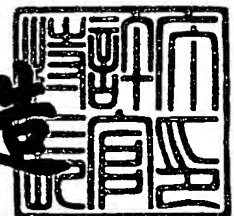
キャノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 4月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3024531

【書類名】 特許願

【整理番号】 4384007

【提出日】 平成13年 5月21日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明の名称】 フィルタ処理装置

【請求項の数】 5

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 中山 忠義

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100076428

 【弁理士】

 【氏名又は名称】 大塚 康徳

【選任した代理人】

 【識別番号】 100112508

 【弁理士】

 【氏名又は名称】 高柳 司郎

【選任した代理人】

 【識別番号】 100115071

 【弁理士】

 【氏名又は名称】 大塚 康弘

【選任した代理人】

 【識別番号】 100116894

 【弁理士】

【氏名又は名称】 木村 秀二

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ処理装置

【特許請求の範囲】

【請求項 1】 二次元デジタルデータを二次元フィルタ処理するフィルタ処理装置であって、

フィルタ演算処理用の乗算器及び加算器と、水平及び垂直方向それぞれに対して異なる遅延量の水平遅延手段及び垂直遅延手段とを有する演算ユニットと、

前記水平及び垂直遅延手段の出力と前記演算器の演算内容を、所定サイクル毎に切り替え、各々の演算ユニットの出力データを同じ演算ユニットに少なくとも 1 度は再入力して処理することを特徴とするフィルタ処理装置。

【請求項 2】 前記フィルタ処理がウェーブレット変換であることを特徴とする第 1 項記載のフィルタ処理装置。

【請求項 3】 複数の演算ユニットを従属に接続し、最終段の演算ユニットの出力をフィルタ処理後のデータとして出力すると共に、出力されたデータを 2×2 単位で回転し、先頭の演算ユニットに再入力することを特徴とする請求項第 2 項に記載のフィルタ処理装置。

【請求項 4】 前記演算ユニット内の乗算器は複数の乗算係数の切り替えが可能で、処理データを巡回するごとに該乗算係数を切り替えることを特徴とする第 1 項又は第 2 項のいずれか 1 つに記載のフィルタ処理装置。

【請求項 5】 前記水平及び垂直遅延手段の出力と前記演算器の演算内容の切り替えは、垂直遅延手段で保持する内容が、すべて新しい内容に置き換わる周期よりも短いことを特徴とする第 1 項記載のフィルタ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像データに代表される二次元情報を、ウェーブレット変換等の二次元フィルタ処理を行うフィルタ処理装置に関する。

【0002】

【従来の技術】

画像、特に多値画像は非常に多くの情報を含んでおり、その画像を蓄積・伝送する際にはデータ量が膨大になってしまうという問題がある。このため画像の蓄積・伝送に際しては、画像の持つ冗長性を除く、或いは画質の劣化が視覚的に認識し難い程度で画像データの変化を許容することによってデータ量を大幅に削減する高能率符号化が用いられる。

【0003】

例えば、静止画像の国際標準符号化方式としてISOとITU-Tにより勧告されたJPEGでは、画像データをブロック（8画素×8画素）ごとに離散コサイン変換（DCT）した後に、各変換係数を各々量子化し、さらにエントロピー符号化することにより画像データを圧縮している。しかし、ブロックごとにDCT、量子化を行なっているため、復号画像の各ブロックの境界で、所謂ブロック歪みが現れやすい。

【0004】

一方、新しい静止画像の国際標準符号化方式として検討されているJPEG2000では、量子化・エントロピー符号化の前に行なう変換処理として、ウェーブレット変換が用いられている。ウェーブレット変換は、DCT変換のように小さなブロック単位で処理を行うのではなく、該ブロックより十分大きなサイズのタイル単位で変換処理をするので、前記ブロック歪がないといった特徴がある。

【0005】

以下では、Lifting Schemeを用いたウェーブレット変換フィルタ処理について説明する。

【0006】

JPEG2000で使われているウェーブレット変換は、Lifting Schemeという方法で処理をすると、少ない演算量で効率良く変換処理を行なうことができる。

【0007】

図1に順方向のLifting Scheme、図2に逆方向のLifting Schemeのシグナルフローを示す。図1、図2は、低域変換係数の演算に9タップのデータ、高域変換係数の演算に7タップのデータを用いる場合のシ

グナルフローである。図中の α 、 β 、 γ 、 δ はL i f t i n g 係数と呼ばれるものである。先ず、図1の動作について説明する。

【0008】

入力画素をその順に $X_0, X_1, X_2, X_3, X_4, X_5, \dots$ のように表わす。該入力画素は、分類ユニットにて、偶数画素系列と奇数画素系列とに分類され、該ユニットの上側には添字が偶数の画素 X_0, X_2, X_4, \dots が、下側には添字が奇数の画素 X_1, X_3, X_5, \dots が出力される。

【0009】

初段のL i f t i n g 処理では、偶数画素系列に対しL i f t i n g 係数： α を乗算し、連続する2個の乗算結果を、該2画素の中央に位置する奇数画素系列中の画素に加算する。これを一般化した式で表現すると、以下ようになる。

$$D_{2n+1} = X_{2n+1} + \alpha \cdot X_{2n} + \alpha \cdot X_{2n+2} \quad (1)$$

2段目のL i f t i n g 処理では、新たに得られた奇数画素系列 D_1, D_3, D_5, \dots に対しL i f t i n g 係数： β を乗算し、連続する2個の乗算結果を、該2画素の中央に位置する偶数画素系列中の画素に加算する。これを一般化した式で表現すると、以下ようになる。

$$E_{2n+2} = X_{2n+2} + \beta \cdot D_{2n+1} + \beta \cdot D_{2n+3} \quad (2)$$

3段目のL i f t i n g 処理では、L i f t i n g 係数： γ を用いて、初段と同じように、4段目のL i f t i n g 処理では、L i f t i n g 係数： δ を用いて、2段目と同じように処理する。3段、4段目のL i f t i n g 処理内容を表わす式は、下記のようになる。

$$H_{2n+1} = D_{2n+1} + \gamma \cdot E_{2n} + \gamma \cdot E_{2n+2} \quad (3)$$

$$L_{2n+2} = E_{2n+2} + \delta \cdot H_{2n+1} + \delta \cdot H_{2n+3} \quad (4)$$

図中、 K は、ウェーブレット係数を正規化するものであるが、本発明の本質を説明するにあたって、特に関係ないことであるので、以下、説明を省略する。

【0010】

正規化処理を無視すれば、3段、4段目のL i f t i n g 処理によってえられる、 H_n, L_n は各々高域変換係数と低域変換係数に対応する。

【0011】

次に、図2に示す逆方向のLifting Schemeのシグナルフローについて簡単に説明する。まず始めに、順方向のLifting Schemeにおける正規化処理に対応して、逆の係数を掛けた後、4段のLifting処理を行なう。各段の処理内容を以下にまとめて式で表わすと次のようになる。

$$(1 \text{ 段目}) \quad E_{2n+2} = L_{2n+2} - \delta \cdot H_{2n+1} - \delta \cdot H_{2n+3} \quad (5)$$

$$(2 \text{ 段目}) \quad D_{2n+1} = H_{2n+1} - \gamma \cdot E_{2n} - \gamma \cdot E_{2n+2} \quad (6)$$

$$(3 \text{ 段目}) \quad X_{2n+2} = E_{2n+2} - \beta \cdot D_{2n+1} - \beta \cdot D_{2n+3} \quad (7)$$

$$(4 \text{ 段目}) \quad X_{2n+1} = D_{2n+1} - \alpha \cdot X_{2n} - \alpha \cdot X_{2n+2} \quad (8)$$

上記(5)(6)(7)(8)式は、各々(4)(3)(2)(1)式を移項して得られるものである。

【0012】

以上が、Lifting Schemeを用いたウェーブレット変換フィルタ処理についての説明である。

【0013】

図1及び図2のLifting Schemeを別の視点から表現したものが、図3及び図4に示すLifting格子構造である。同図において、□は入力データを、○は格子点（あるいは格子点データ演算器）を表わし、○から出ている矢印は格子点データの流れを示す。これらの図はLifting Schemeにおける基本処理（前記(1)～(8)式の処理）並びに該処理によって得られる新たなデータを1つの格子点に対応させたものである。

【0014】

図3に示す順方向変換のLifting格子構造では、1つの格子点データは前記(1)～(4)式のいずれかを用いて計算される。

【0015】

図4に示す逆方向変換のLifting格子構造では、1つの格子点データは前記(5)～(8)式のいずれかにより計算される。

【0016】

【発明が解決しようとする課題】

さて、水平・垂直方向の2次元のウェーブレット変換を行なうには、上記演算

を水平方向と垂直方向の2方向に対して行なう必要がある。それ故、その処理するハードウェアも水平方向用と垂直方向用の2つが必要となる。つまり、まったく同じ演算を行なうのに水平方向用と垂直方向用に2つ用意していることになり、ハードウェア規模が大きくなるという問題がある。

【0017】

本発明はかかる問題点に鑑みなされたものであり、二次元情報の水平及び垂直方向にフィルタ処理するためのハードウェア構成を簡単なものとするフィルタ処理装置を提供しようとするものである。

【0018】

【課題を解決するための手段】

この課題を解決するため、本発明のフィルタ処理装置は以下の構成を備える。
すなわち、

二次元デジタルデータを二次元フィルタ処理するフィルタ処理装置であって、
フィルタ演算処理用の乗算器及び加算器と、水平及び垂直方向それぞれに対して異なる遅延量の水平遅延手段及び垂直遅延手段とを有する演算ユニットと、
前記水平及び垂直遅延手段の出力と前記演算器の演算内容を、所定サイクル毎に切り替え、各々の演算ユニットの出力データを同じ演算ユニットに少なくとも1度は再入力して処理することを特徴とする。

【0019】

【発明の実施の形態】

以下、添付図面に従って本発明に係る実施形態を詳細に説明する。

【0020】

先ず、実施形態における前提について説明する。

【0021】

図5は、先に説明したL i f t i n g格子構造で表現されるウェーブレット変換を複数の演算ユニットを従属接続した構成で処理する場合の構成を示している。この構成のウェーブレット変換処理部を、図6に示すように2組使用して、その間に2×2データ回転部を設けることにより、垂直方向と水平方向の2次元ウェーブレット変換処理を行なう。

【0022】

演算ユニット内部の構成としては、図7と図12に示す2つの構成とする。以下では図7の構成の元になるウェーブレット変換処理の演算内容について簡単に説明する。なお、図7における符号703は乗算係数を入力したデータに乗算する乗算器であり、707及び709は2入力を加算する加算器である。

【0023】

前記図3において、演算途中のデータを保持することにより、毎サイクル2画素ずつ入力するだけで、低域変換係数と高域変換係数各々1つずつを出力することが可能である。

【0024】

今、演算途中のデータとして“D7t、E6t、H5t、L4t”があるものとする。該データは以下に示す式で演算されたものである。

$$D7t = X7 + \alpha \cdot X6 \quad (9)$$

$$E6t = X6 + \beta \cdot D5 \quad (10)$$

$$H5t = D5 + \gamma \cdot E4 \quad (11)$$

$$L4t = E4 + \delta \cdot H3 \quad (12)$$

ここに、“X8、X9”の2つのデータが入力されると、“L4、H5”を出力するために、以下の演算が行なわれる。

$$D7 = D7t + \alpha \cdot X8 \quad (13)$$

$$E6 = E6t + \beta \cdot D7 \quad (14)$$

$$H5 = H5t + \gamma \cdot E6 \quad (15)$$

$$L4 = L4t + \delta \cdot H5 \quad (16)$$

次のサイクルの演算に備えて保持するデータ“D9t、E8t、H7t、L6t”を以下の式から求める。

$$D9t = X9 + \alpha \cdot X8 \quad (17)$$

$$E8t = X8 + \beta \cdot D7 \quad (18)$$

$$H7t = D7 + \gamma \cdot E6 \quad (19)$$

$$L6t = E6 + \delta \cdot H5 \quad (20)$$

上記入力データ“X8、X9”は、初段の演算ユニットの端子701と702

から入力し、演算した結果を端子 7 1 1 と 7 1 2 から出力する。この出力は次段の演算ユニットの端子 7 0 1 と 7 0 2 に入力し順次演算処理をおこなっていく。

【 0 0 2 5 】

該処理内容を L i f t i n g 格子構造の図にならって表現したのが図 8 である。同図における 4 つのレジスタで上記演算途中のデータを保持する。図 7 に示す演算ユニットを図 5 のように従属接続したハードウェアを構成することによって、上記一連の演算を実現することができる。

【 0 0 2 6 】

水平方向のウェーブレット変換処理を行なう場合、図 7 における遅延バッファは、図 8 のようにレジスタ 1 段か、あるいはレジスタ数段で構成され、垂直方向のウェーブレット変換を行なう場合には、前記遅延バッファはラインメモリで構成される。

【 0 0 2 7 】

よって、2 次元のウェーブレット変換処理を行なう図 6 の構成においては、2 × 2 データ回転部の前後で演算ユニット内の遅延バッファ構成は異なるものとなる。

【 0 0 2 8 】

< 第 1 の実施形態 >

さて、上記原理を元に、本発明の第 1 の実施形態を以下に説明する。

【 0 0 2 9 】

本第 1 の実施形態では、図 7 に示す演算ユニットに、遅延量の異なる 2 種類のバッファと該バッファを選択するセレクタを設けた図 9 の構成の演算ユニットを用いる。

【 0 0 3 0 】

図 9 における 9 0 1 と 9 0 3 は、イネーブル制御端子付きのレジスタで、水平方向のウェーブレット変換処理に利用する。9 0 5 は水平 1 ラインのデータを格納する容量を持つラインメモリで垂直方向のウェーブレット変換処理に利用する。

【 0 0 3 1 】

907は前記レジスタ901の出力とラインメモリ905の出力の一方を選択するセクタである。該セクタで前記2つの出力を2サイクルおきに交互に選択することにより、水平方向と垂直方向の変換処理を交互に行なう。

【0032】

セクタがV端子側を選択している時には垂直方向のウェーブレット変換処理となり、該セクタがH端子側を選択している時には水平方向のウェーブレット変換処理となる。

【0033】

図9の演算ユニットを用いた2次元ウェーブレット変換処理部全体の構成を図10に示す。同図において、

1001と1002は、垂直2画素のデータを入力する端子、

1005～1008は、前記図9に示す演算ユニット（但し、乗算係数は異なる）、

1011は、上記演算ユニット1001への入力データを選択するセクタ、

1013は、1次元方向のウェーブレット変換処理をしたデータを2×2単位で並び替える2×2データ回転部、

1015は、前記4つの演算ユニットのセクタ並びに、上記セクタ1011を切り換える制御信号を入力する端子である。

【0034】

本第1の実施形態の構成は、低域9タップ・高域7タップの2次元ウェーブレット変換処理を行なうウェーブレット変換処理装置を示している。

【0035】

端子1001と1002に垂直2画素のデータを水平方向にスキャンしながら、2サイクルおきに入力する。セクタ1011は、該垂直2画素のデータの入力サイクル時に該データを選択して演算ユニット1005へ送る。他のサイクルでは、2×2データ回転部1013の出力データを選択して同様に演算ユニット1005へ送る。

【0036】

前記4つの演算ユニットは、該ユニット内のセクタが、端子1015から入

力される制御信号によって切り換えられることにより、垂直方向ウェーブレット変換モードあるいは水平方向ウェーブレット変換モードになったりする。

【 0 0 3 7 】

セクタ 1 0 1 1 が垂直 2 サンプルの入力データを選択するサイクルでは、垂直方向ウェーブレット変換モードになり、該セクタが 2 × 2 データ回転部 1 0 1 3 からのデータを選択するサイクルでは、水平方向ウェーブレット変換モードとなる。以上で概略説明を終え、動作説明を以下に行なう。

【 0 0 3 8 】

既に、数ラインと数画素の処理が済んでおり、演算ユニット内の各ラインメモリとレジスタ内には演算途中のデータが既に格納されているものとし、垂直 2 サンプルのデータを 2 サイクル続けて入力するところから説明を開始する。

【 0 0 3 9 】

4 つの演算ユニット内の各セクタは V 端子側を選択しており、全体として垂直方向ウェーブレット変換モードになっており、このモードで 2 サイクル動作する。2 サイクル動作した結果、垂直方向の低域変換係数と高域変換係数がそれぞれ 2 つずつ、2 × 2 データ回転部 1 0 1 3 に送られる。

【 0 0 4 0 】

該 2 × 2 データ回転部 1 0 1 3 は図 1 6 に示すような構成になっており、低域と高域変換係数のペアで入力された 2 組のデータを、4 つのレジスタに取り込み、低域変換係数と高域変換係数に分けてそれぞれ 2 つずつのデータを 2 サイクルで出力する。前記 4 つのレジスタは取り込んだデータを出力し終わるまで、次のデータを取り込むことが無いように不図示のイネーブル端子に制御信号を与えることで制御する。

【 0 0 4 1 】

上記 4 つのレジスタに取り込んだデータの出力タイミングは、前記垂直 2 サンプルのデータを続けて 2 サイクル入力した直後の次の 2 サイクルである。このサイクルでは、4 つの演算ユニット内の各セクタは H 端子側に切り替わり、全体として水平方向ウェーブレット変換モードとして動作する。

【 0 0 4 2 】

水平方向ウェーブレット変換モード時に活用される各演算ユニット内の2つのレジスタは、不図示のイネーブル信号で制御されて、該変換モード時における演算途中データを取り込み保持する。

【0043】

垂直方向に低域変換された係数を水平方向に処理するサイクルでは、該変換係数の処理途中のデータをレジスタ901から出力し、セクタ907を経由して加算器709に送る。このサイクルで演算された水平方向の低域変換係数LLと高域変換係数LHは端子1021、1022から出力され、演算途中の結果はレジスタ903に inputs され、次のサイクルで該レジスタに取り込まれる。それまでレジスタ903は、垂直方向に高域変換した係数を処理したデータを保持していたが、該データは前記データを取り込み時にレジスタ901にシフトされ該レジスタから新たに出力される。

【0044】

次のサイクルでは、該データを用いて、垂直方向に高域変換された係数を水平方向に処理する。上述した処理と同じように、水平方向の低域変換係数HLと高域変換係数HHは端子1021、1022から出力され、演算途中の結果はレジスタ903に inputs され、次のサイクルで該レジスタに取り込まれる。前のサイクルでレジスタ903に取り込んだデータはレジスタ901にシフトされる。この時点で2つのレジスタに保持したデータは次の2サイクル（垂直方向ウェーブレット変換モード）の間、同じレジスタで保持し続ける。

【0045】

以上の処理で水平方向ウェーブレット変換モードを終了し、また垂直方向ウェーブレット変換モードに戻る。上述した4サイクルの処理を繰り返すことで画像全体を2次元ウェーブレット変換処理することができるようになる。

【0046】

上記4サイクルの間に、入力端子1001、1002から垂直2サンプルのデータを2組、すなわち4サンプルの画素データを受け取り処理するわけであるから、処理レートは1サイクル当たり1サンプルとなる。

【0047】

なお、9/7フィルタの2次元ウェーブレット変換の処理レートが1サイクル当たり1サンプルでよい場合、本実施形態は固定係数を乗算する定数乗算器を4個しか使用しないという点で、最適な構成であると言える。

【0048】

上記動作説明は、本発明の最も基本的な構成について理解してもらうためのもので、高速化のためのパイプライン処理については触れていない。実際のハードウェアでは、各演算ユニット間にレジスタを挿入することによってパイプライン化を図り、レジスタ間の演算遅延時間を小さくし、動作周波数を高くするといった高速化が行なわれる。

【0049】

その場合、端子1001と1002から入力したデータを演算処理した結果が演算ユニット1008から出力されるまで3又は4サイクルかかってしまう。そうすると、上記動作説明のように、垂直方向にウェーブレット変換した結果をすぐにセクタ1011へ入力し、直後に水平方向のウェーブレット変換処理をするといったことができなくなる。

【0050】

すなわち、垂直方向にウェーブレット変換した結果を直ちに水平方向のウェーブレット変換処理しようとしても、変換結果出力直後の前記演算ユニットの変換モードが水平方向ウェーブレット変換モードになっていないといったことが、動作タイミング上でてくる。前記変換モードは2サイクルおきに変わるため、最大2サイクル待てば、水平方向ウェーブレット変換モードに変わり、前記変換出力を水平方向にウェーブレット変換することが出来るようになる。

【0051】

よって、2×2データ回転部におけるレジスタの数が増えることになる。パイプライン処理しない場合、垂直方向の変換処理結果を格納するためのレジスタと、水平方向の変換処理の際に入力データを供給するためのレジスタを共用できたが、上述のパイプライン処理化によりタイミングが合わなくなってくると、該2種類のレジスタを別々に持つ必要がでてくる。

【0052】

しかし、パイプライン処理する／しないに関わらず、次の点は同じである。各演算ユニット単位で見た時、垂直方向の変換処理を2サイクル行なった後は、水平方向の変換処理を2サイクル行なう。セクタ1011も2サイクル毎に切り替え動作を行なう。

【0053】

以下では、各種変形と応用例について説明する。

【0054】

前記レジスタ901, 903にイネーブル端子を設けない場合、すなわち、該レジスタにクロックが入力されると単純に入力データを取り込むだけの動作をする場合には、該レジスタを4つ並べれば上記機能を実現できる。この4つのレジスタの内、変換処理に有効なデータを保持しているのは2つのみで、他の2つは無効なデータである。この無効なデータはセクタ907で選択されることが無いように該セクタの切り換えタイミングが制御されるので該無効データは無視することができる。

【0055】

上記実施形態の説明では、2サイクルおきに垂直2サンプルのデータを入力していたが、1サイクルおきに入力しても2次元ウェーブレット変換処理することは可能である。この場合、前記演算ユニット群の垂直方向ウェーブレット変換モードと水平方向ウェーブレット変換モードの切り換えも1サイクル毎に行なう。具体的な制御としては、セクタ907の切り換えを1サイクル毎に行ない、レジスタ903への演算途中データの取り込みも1サイクルおきに行なう。このように制御の方法が若干異なるだけで、演算処理系の構成は上記実施形態で説明した構成とまったく同じである。

【0056】

これまでの説明では、垂直方向のウェーブレット変換後に水平方向のウェーブレット変換を行なうという処理の順序であったが、水平方向のウェーブレット変換後に垂直方向のウェーブレット変換を行なうこともできる。この場合、端子1001, 1002から入力するデータは水平2サンプルのデータを入力し、該入力データを水平方向ウェーブレット変換モードで処理する。水平2サンプルのデ

ータ入力は2サイクルおきでもよいし1サイクルおきでもよいが、同一ラインのデータを単純にスキャンして入力するのではなく、2ラインのデータを交互に入力しながらスキャンしていく。

【0057】

該2ラインは、前述した垂直2サンプルを入力する場合の2サンプルが属する2ラインに対応する。

【0058】

2ラインのデータを交互に入力することで、 2×2 データ回転部に、該2ラインの水平方向の低域変換係数と高域変換係数が蓄えられる。これを90度回転して垂直2サンプルずつの低域変換係数と高域変換係数に並び替え、前記水平2サンプルのデータを入力しない空きサイクル期間に、セレクタ1011を經由して演算ユニット1005へ入力する。この時、4つの演算ユニット1005～1008は垂直方向ウェーブレット変換モードとして動作する。

【0059】

以上の動作により、水平方向のウェーブレット変換処理を先に行なった後に垂直方向のウェーブレット変換処理を行なうことができる。このような処理も図10と同じ構成で制御方法を変えるだけで対応できる。

【0060】

ウェーブレット変換した変換係数は逆ウェーブレット変換しなければ元の画像に戻すことが出来ないので、逆ウェーブレット変換を行なう機能も当然必要となる。

【0061】

逆ウェーブレット変換は、図11に示すL i f t i n g格子構造に基づき、以下に示す演算で処理する。まず“X3、X4”を出力するために以下の演算を行なう。

$$E6 = L6t - \delta \cdot H7 \quad (21)$$

$$D5 = H5t - \gamma \cdot E6 \quad (22)$$

$$X4 = E4t - \beta \cdot D5 \quad (23)$$

$$X3 = D3t - \alpha \cdot X4 \quad (24)$$

次の演算に残すデータを以下のように演算する。

$$L8t = L8 - \delta \cdot H7 \quad (25)$$

$$H7t = H7 - \gamma \cdot E6 \quad (26)$$

$$E6t = E6 - \beta \cdot D5 \quad (27)$$

$$D5t = D5 - \alpha \cdot X4 \quad (28)$$

上記演算のために受け取る中間データが“L6t、H5t、E4t、D3t”であり、次の演算のために残すデータが“L8t、H7t、E6t、D5t”であるため、2サンプルずつ位置をずらせば繰り返し演算することが可能である。

【0062】

順方向ウェーブレット変換の演算を表わすLifting格子構造である図8と比較すると、乗算係数の順序が逆になっているのと該乗算係数に-の符号がついていることを除けば、図11は図8と同じ構造になっていると言える。

【0063】

よって、本実施形態の構成を一部修正するだけで、逆方向のウェーブレット変換処理も行なうことが出来るようになる。具体的には以下の2つの方法がある。

(1) 1つの演算ユニット内に2つの乗算器を用意してそれを切り換える。

(2) 演算ユニット内の加算器を加減算器に変更し、順方向変換時には加算器として使用し逆方向変換時には減算器として使用すると共に、逆方向変換時には演算ユニット1008→1007→1006→1005の順に処理データを流すようにデータの流れを変える。これは、セレクタ等を用いて制御することができる。

【0064】

以上が、逆方向ウェーブレット変換処理も可能な構成についての説明である。

【0065】

また、本発明は、図12の構成の演算ユニットに、遅延量の異なる2種類のバッファと該バッファを選択するセレクタを設けた図13の構成の演算ユニットを従属接続してウェーブレット変換処理する場合にも適用可能である。

【0066】

<第2の実施形態>

第2の実施形態では、垂直方向のウェーブレット変換・水平方向のウェーブレット変換処理をそれぞれ1つの演算ユニットで処理し、2×2データ回転部を挟んで該演算ユニットを従属接続することで、2次元のウェーブレット変換処理を行なう構成について示す。

【0067】

第2の実施形態の構成を図14に示す。同図において、1401は垂直方向ウェーブレット変換用の演算ユニット、1403は水平方向ウェーブレット変換用の演算ユニット、1411と1413は、それぞれ上記演算ユニットに入力するデータを選択するセレクタ、1421～1424は、同じ演算ユニットに処理したデータを再入力するために、該データを保持するレジスタであり、その他の構成要素は、前記第1の実施形態で示した構成：図10における同一番号要素と同じである。

【0068】

これまでに説明した構成では、9／7フィルタの1次元ウェーブレット変換処理をするには、図5に示すように、演算ユニットが4つ必要であった。

【0069】

これを1つの演算ユニットで処理するには、該演算ユニットの出力データを繰り返し入力して処理する必要がある。そのようにデータの流れを制御するのがセレクタ1411と1413である。

【0070】

端子1001、1002から入力された垂直2サンプルのデータはセレクタ1411で選択されて演算ユニット1401に入力される。該演算ユニットでは第1のステップの演算として、乗算係数 α を用いてLifting演算を行ない、演算結果を出力する。

【0071】

出力された演算結果はレジスタ1421、1422に保持されて、セレクタ1411に入力され、該セレクタにて選択されて前記演算ユニットに再入力される。該演算ユニットでは第2のステップの演算が行なわれる。

【0072】

該演算ユニットから出力される演算結果は、レジスタ 1 4 2 1, 1 4 2 2 で保持して、同様にセクタ 1 4 1 1 経由で該演算ユニットに再入力し、第 3 のステップ、第 4 のステップの演算を行なう。第 2、第 3、第 4 のステップでは、それぞれ乗算係数として β 、 γ 、 δ が用いられ、L i f t i n g 演算が行なわれる。

【 0 0 7 3 】

第 4 ステップの演算が終了した演算結果は、垂直方向のウェーブレット変換処理をした低域と高域の変換係数である。

【 0 0 7 4 】

該変換係数は 2×2 データ回転部 1 0 1 3 に送られる。2 組の低域・高域変換係数が該 2×2 データ回転部に入力されると、低域変換係数 2 つと高域変換係数 2 つ、すなわち、水平方向 2 サンプルのデータ 2 組に並び替えられてから出力される。

【 0 0 7 5 】

該係数データは、セクタ 1 4 1 3 で選択されて、演算ユニット 1 4 0 3 に入力される。前記演算ユニット 1 4 0 1 と同様、該演算ユニット 1 4 0 3 も第 1 ～ 4 のステップの演算処理を行なう。該演算ユニットから出力するデータをレジスタ 1 4 2 3、1 4 2 4 で保持し、セクタ 1 4 1 3 を経由して、前記演算ユニットに再入力する。セクタ 1 4 1 1、1 4 1 3 はいずれも、新たなデータを入力したサイクルの次の 3 サイクルは次段の演算ユニットで処理して出力したデータを再入力する。

【 0 0 7 6 】

前記 2×2 データ回転部から先行して出力する低域変換係数を上記第 1 ～ 4 のステップで演算し終えた後に、続いて 2×2 データ回転部より出力する高域変換係数をセクタ 1 4 1 3 経由で演算ユニット 1 4 0 3 に入力し、該高域変換係数の処理を行なう。

【 0 0 7 7 】

各変換係数を、演算ユニット 1 4 0 3 において、第 1 ～ 4 ステップの演算処理をした結果は、上記垂直方向の低域と高域の変換係数をさらに水平方向の低域と高域の変換係数に分けたもの、すなわち、2 次元ウェーブレット変換処理した 4

種類の変換係数である。該変換係数は端子 1 0 2 1、1 0 2 2 から 2 回に分けて外部へ出力される。

【 0 0 7 8 】

演算ユニット 1 4 0 1 には遅延バッファとして、図 9 に示した演算ユニット内のラインメモリ 4 つ分の容量が必要になる。このラインメモリは該容量の 1 つの大きなラインメモリであってもよいし、図 9 におけるラインメモリと同じ容量のラインメモリを 4 つ持ち、それを演算ステップに対応して切り換えてもよい。

【 0 0 7 9 】

演算ユニット 1 4 0 3 は、2 種類のデータに対し第 1 ～ 4 ステップの演算を行なうため、8 種類の演算途中データが必要である。よって、該演算ユニットにおける遅延バッファには該演算途中データを格納できる 8 段のレジスタがあればよい。

【 0 0 8 0 】

前記第 1 の実施形態と同様、図 1 2 の構成の演算ユニットに、上記遅延バッファを持たせることで、該構成の演算ユニットを用いて本実施形態と同じ処理をすることが可能である。

【 0 0 8 1 】

< 第 3 の実施形態 >

第 3 の実施形態は、前記第 1 の実施形態と第 2 の実施形態を組み合わせて、さらに演算ユニットの数を減らした構成について示す。

【 0 0 8 2 】

前記第 1 の実施形態は、垂直方向のウェーブレット変換処理と水平方向のウェーブレット変換処理を共通の演算ユニット群で交互に処理するものであった。第 2 の実施形態は、1 次元方向のウェーブレット変換処理における複数の演算ステップを単一の演算ユニットで処理するものであった。

【 0 0 8 3 】

本実施形態では、水平と垂直の両方向のウェーブレット変換処理における複数の演算ステップを全て 1 つの演算ユニットで行なうものである。本実施形態の構成を図 1 5 に示す。

【 0 0 8 4 】

同図において、1 5 0 1 は 2 次元ウェーブレット変換のすべての演算を行なう演算ユニット、1 5 0 3 は 2 入力、3 系統ありその内の 1 系統を選択するセクタであり、その他は前記図 1 4 における同一番号の構成要素と同じである。

【 0 0 8 5 】

前記第 2 の実施形態と同様、1 組の入力データまたは 1 組の変換係数を 4 つの連続サイクルで前記第 1 ～ 4 ステップの演算処理を行なう。2 組の入力データと該データをウェーブレット変換した 2 組の変換係数、すなわち、4 組のデータが処理の最小単位となるので、1 6 サイクル周期で変換処理を行なう。

【 0 0 8 6 】

1 6 サイクルの前半 8 サイクルで 2 組の入力データを垂直ウェーブレット変換処理する。この時、演算ユニット 1 5 0 1 は図 1 4 における演算ユニット 1 4 0 1 と同等の処理を行なう。垂直ウェーブレット変換された 2 組の変換係数は、 2×2 データ回転部 1 0 1 3 に取り込まれ、垂直方向の低域変換係数 2 つと高域変換係数 2 つ、すなわち、水平方向 2 サンプルのデータ 2 組に並び替えられて出力される。

【 0 0 8 7 】

1 6 サイクルの後半の 8 サイクルでは、前記 2×2 データ回転部から出力される 2 組の変換係数をレジスタ 1 4 2 1、1 4 2 2 で保持し、セクタ 1 5 0 3 経由で演算ユニットに再入力して水平ウェーブレット変換処理する。この時、演算ユニット 1 5 0 1 は図 1 4 における演算ユニット 1 4 0 3 と同等の処理を行なう。

【 0 0 8 8 】

2 次元ウェーブレット変換処理して求められた変換係数は、端子 1 0 2 1、1 0 2 2 から外部に出力される。

【 0 0 8 9 】

本実施形態における演算ユニット 1 5 0 1 は、水平と垂直の両方のウェーブレット変換処理を行なうため、前記第 2 の実施形態における 2 つの演算ユニット 1 4 0 1 と 1 4 0 3 がそれぞれ有する遅延バッファの両方を合わせ持つ。

【 0 0 9 0 】

また、本実施形態においても、前記図 1 2 の構成の演算ユニットを拡張して使用することができる。

【 0 0 9 1 】

以上説明したように本第 1 乃至第 3 の実施形態によれば、ウェーブレット変換等の水平及び垂直方向に対するフィルタ処理が、ごく単純な構成により実現出来るようになり、ハードウェア規模もより小さなものとする事ができる。

【 0 0 9 2 】

なお、上記実施形態では、ウェーブレット変換（及び逆ウェーブレット変換）についてのみ説明したが、本発明は、画像に代表される二次元的な情報について水平及び垂直方向にフィルタ処理する場合に適用できるものであるので、その用途によって限定されるものではない。

【 0 0 9 3 】

また、上記実施形態で説明した回路構成は、例えばパーソナルコンピュータが有するバススロット（例えば P C I バススロット）に装着するエンコーダ及びデコーダカードとしても適用できる。

【 0 0 9 4 】

【発明の効果】

以上説明したように本発明によれば、二次元情報の水平及び垂直方向にフィルタ処理するためのハードウェア構成を簡単なものとする事ができる。従って、J P E G 2 0 0 0 等におけるウェーブレット変換にこれを適用した場合には、その変換にかかる装置を小型化でき、十分な処理速度を得ることができる。

【図面の簡単な説明】

【図 1】

順変換の L i f t i n g S c h e m e を示す図である。

【図 2】

逆変換の L i f t i n g S c h e m e を示す図である。

【図 3】

D W T （順方向ウェーブレット変換）の L i f t i n g 格子構造を示す図であ

る。

【図 4】

I D W T（逆方向ウェーブレット変換）の L i f t i n g 格子構造を示す図である。

【図 5】

1 次元ウェーブレット変換処理部の構成を示す図である。

【図 6】

2 次元ウェーブレット変換処理部の構成を示す図である。

【図 7】

演算ユニットの内部構成を示す図である。

【図 8】

演算結果を再利用する D W T 演算の L i f t i n g 格子構造を示す図である。

【図 9】

第 1 の実施形態で用いる演算ユニットの内部構成を示す図である。

【図 1 0】

第 1 の実施形態の構成を示す図である。

【図 1 1】

演算結果を再利用する I D W T 演算の L i f t i n g 格子構造を示す図である。

【図 1 2】

格子点データ演算ユニットの構成を示す図である。

【図 1 3】

図 1 2 の演算ユニットを第 1 の実施形態で用いるために修正した構成を示す図である。

【図 1 4】

第 2 の実施形態の構成を示す図である。

【図 1 5】

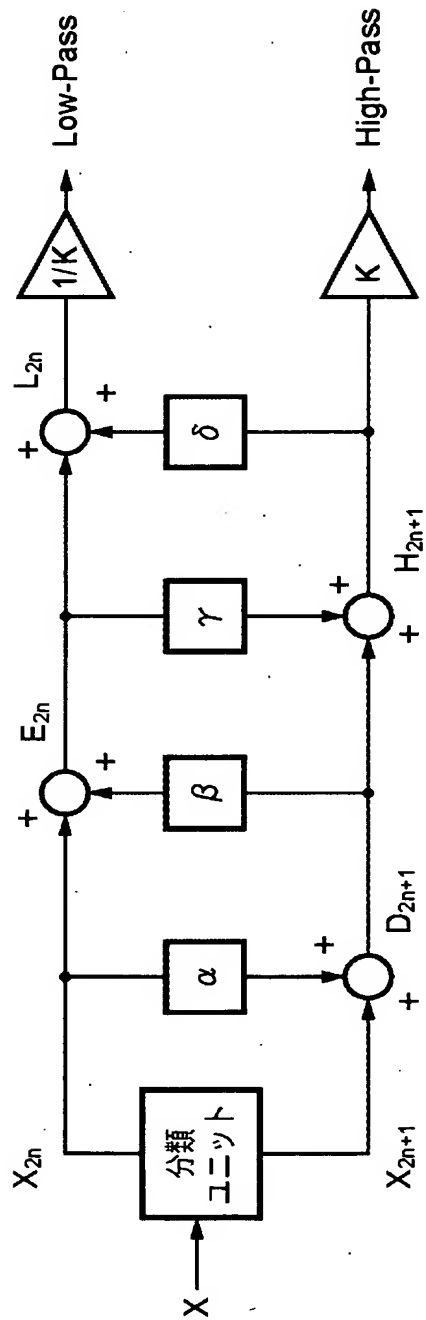
第 3 の実施形態の構成を示す図である。

【図 1 6】

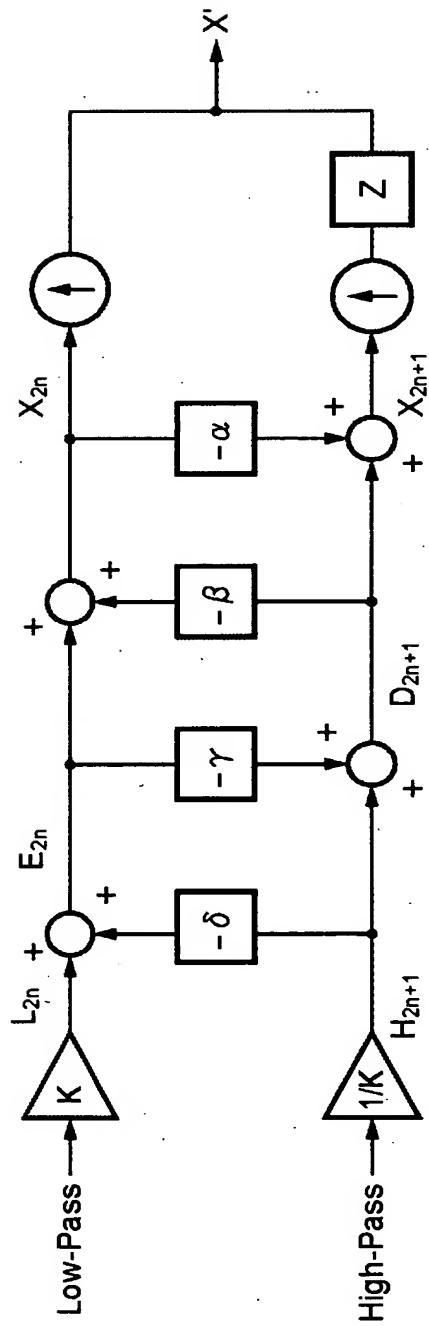
2 × 2 データ回転部の構成を示す図である。

【書類名】 図面

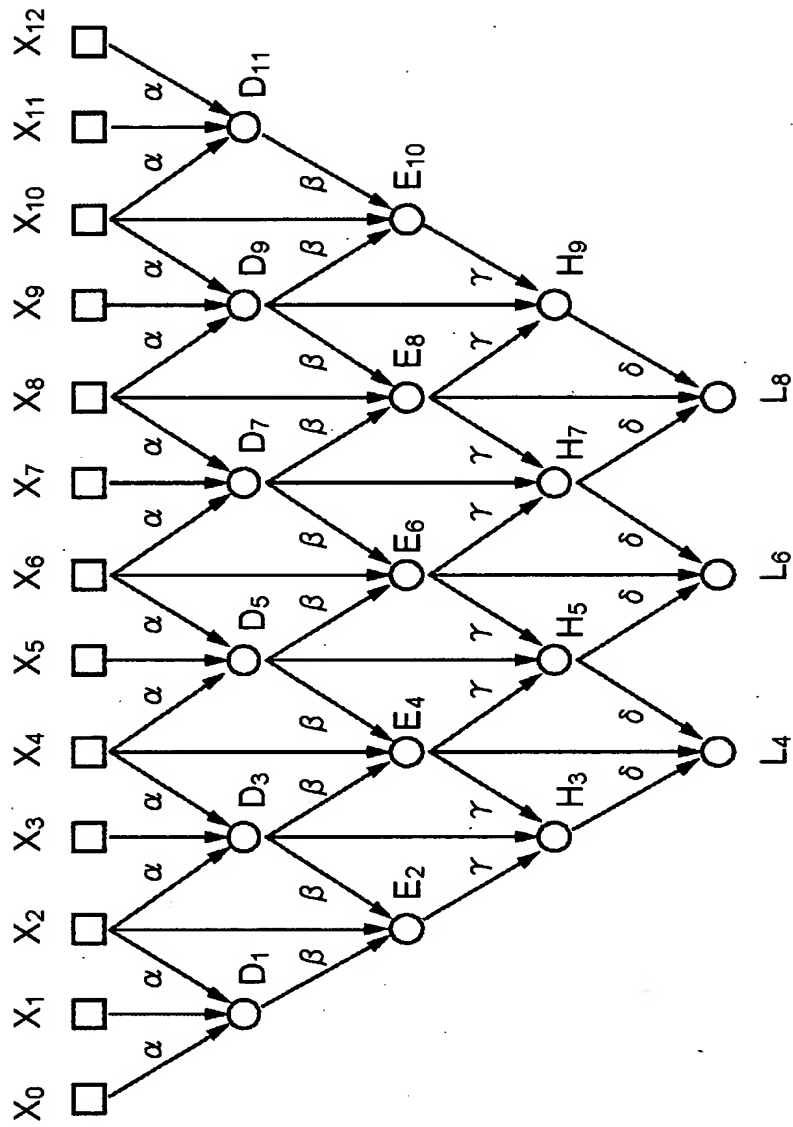
【図 1】



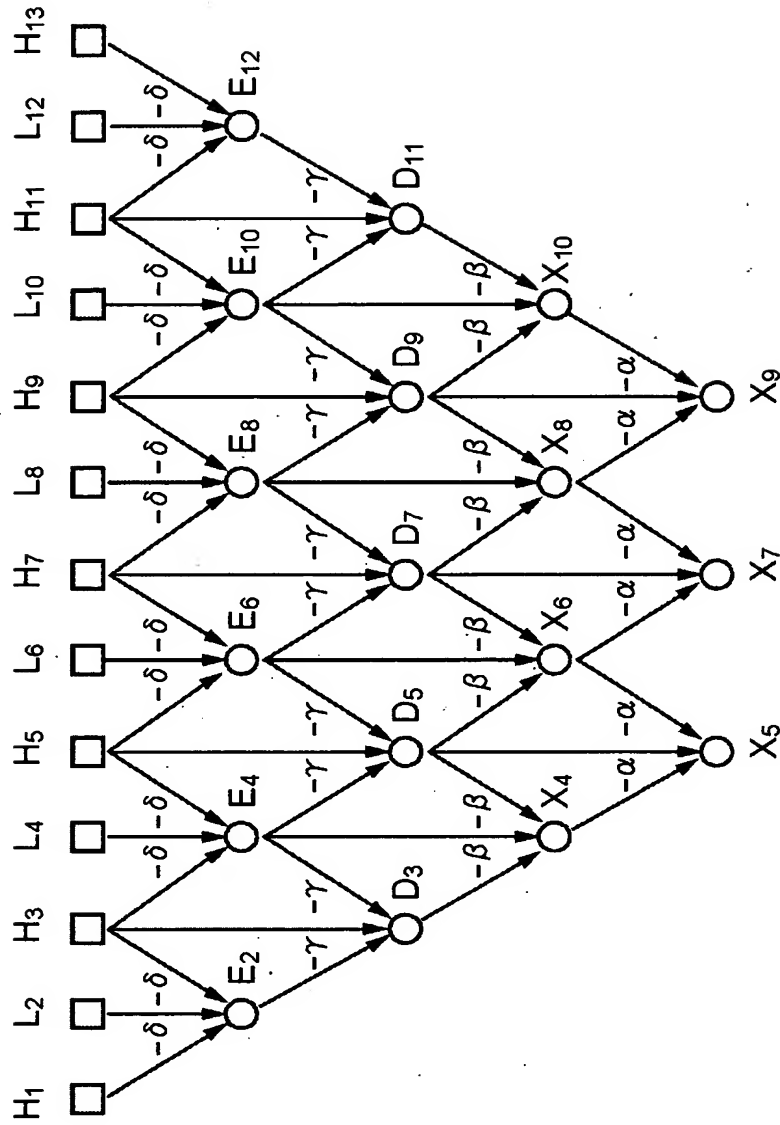
【図 2】



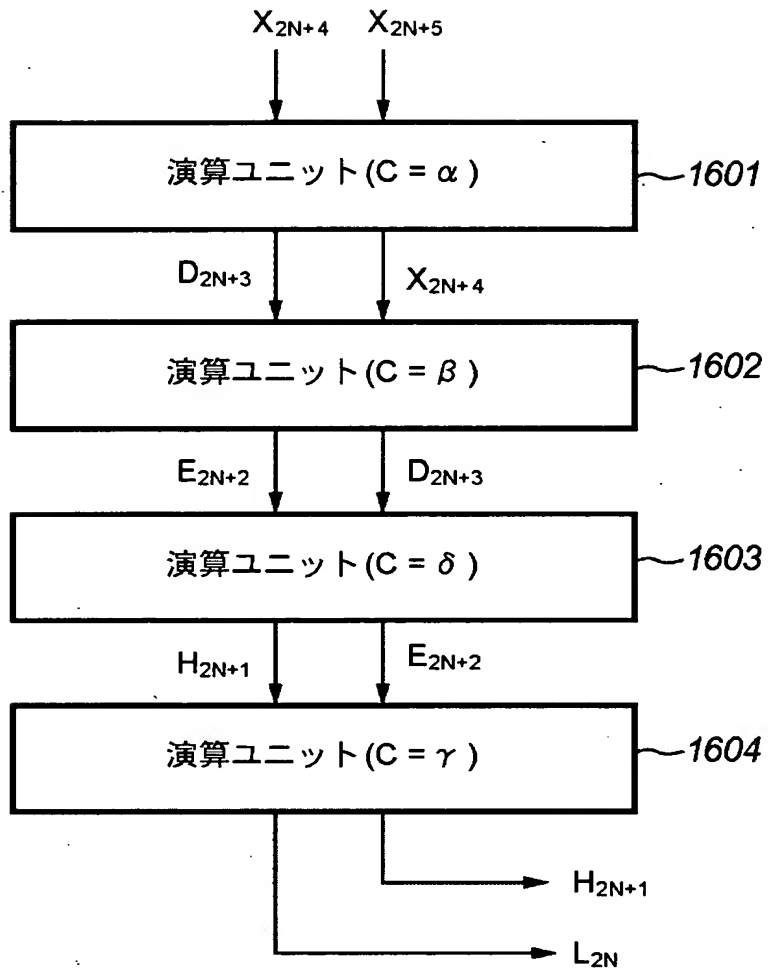
【図 3】



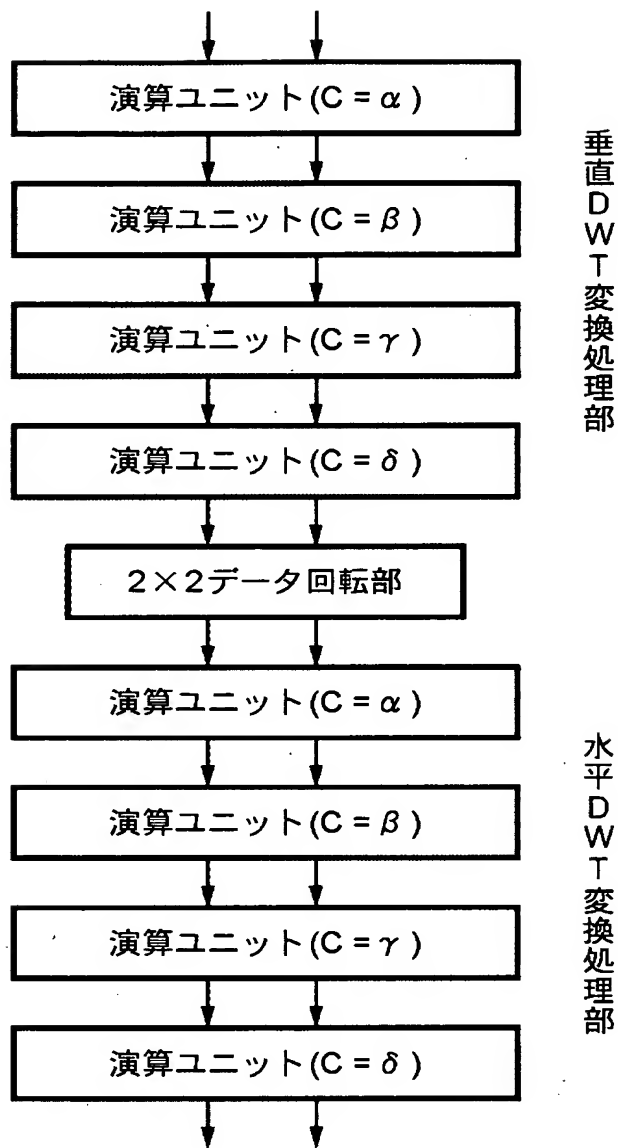
【図 4】



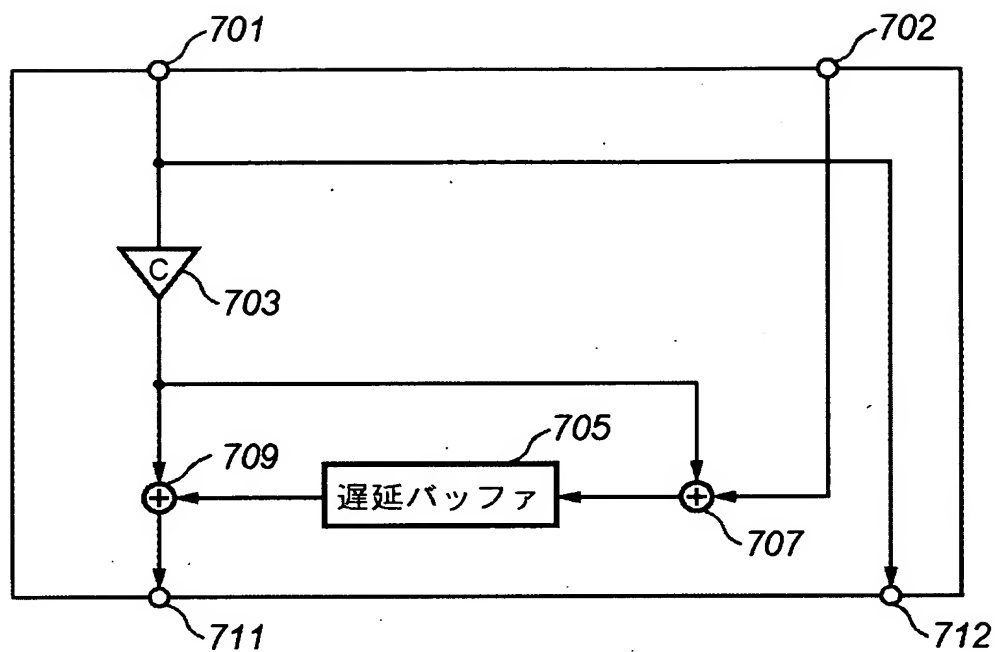
【図 5】



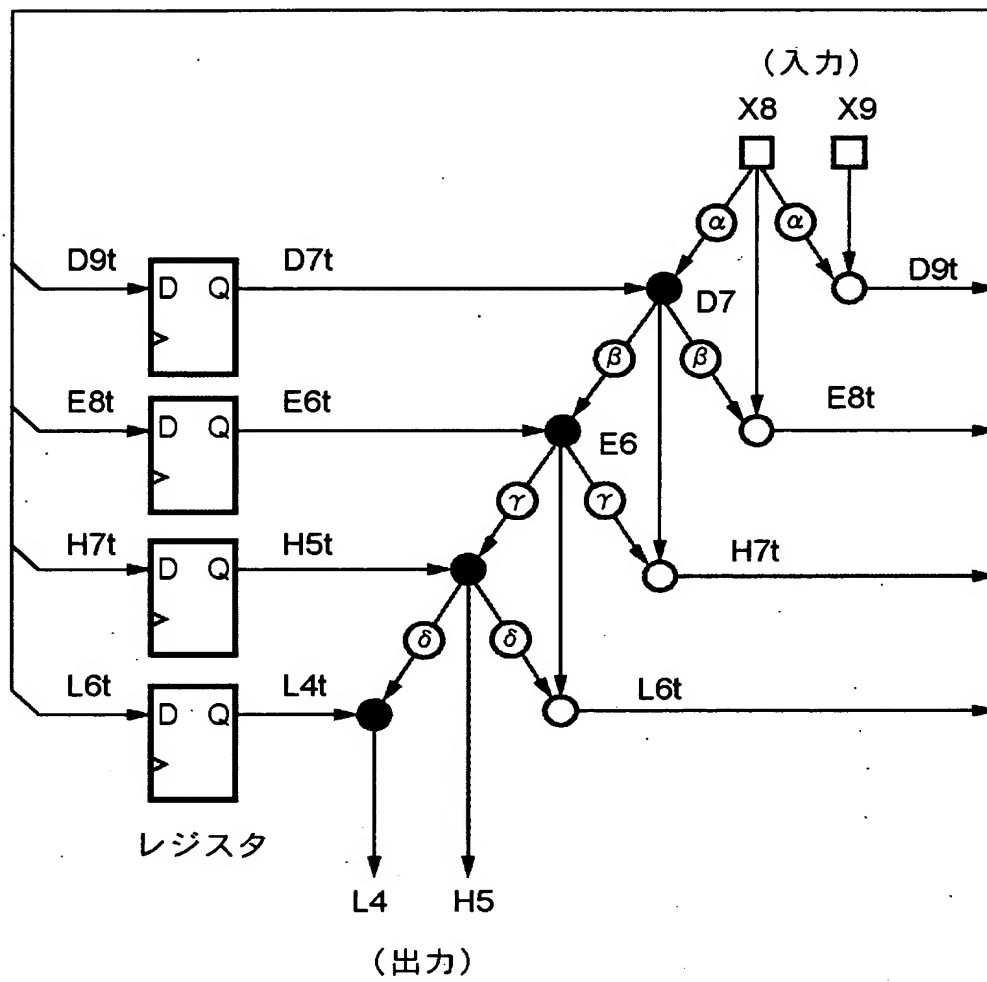
【図 6】



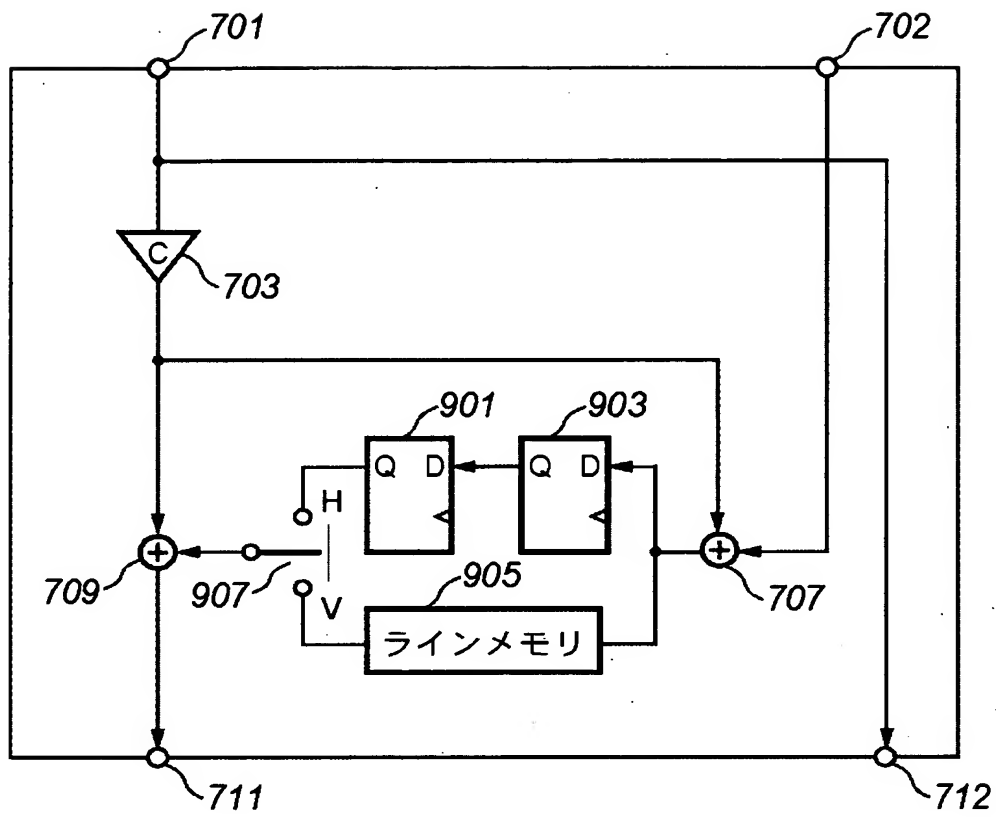
【図 7】



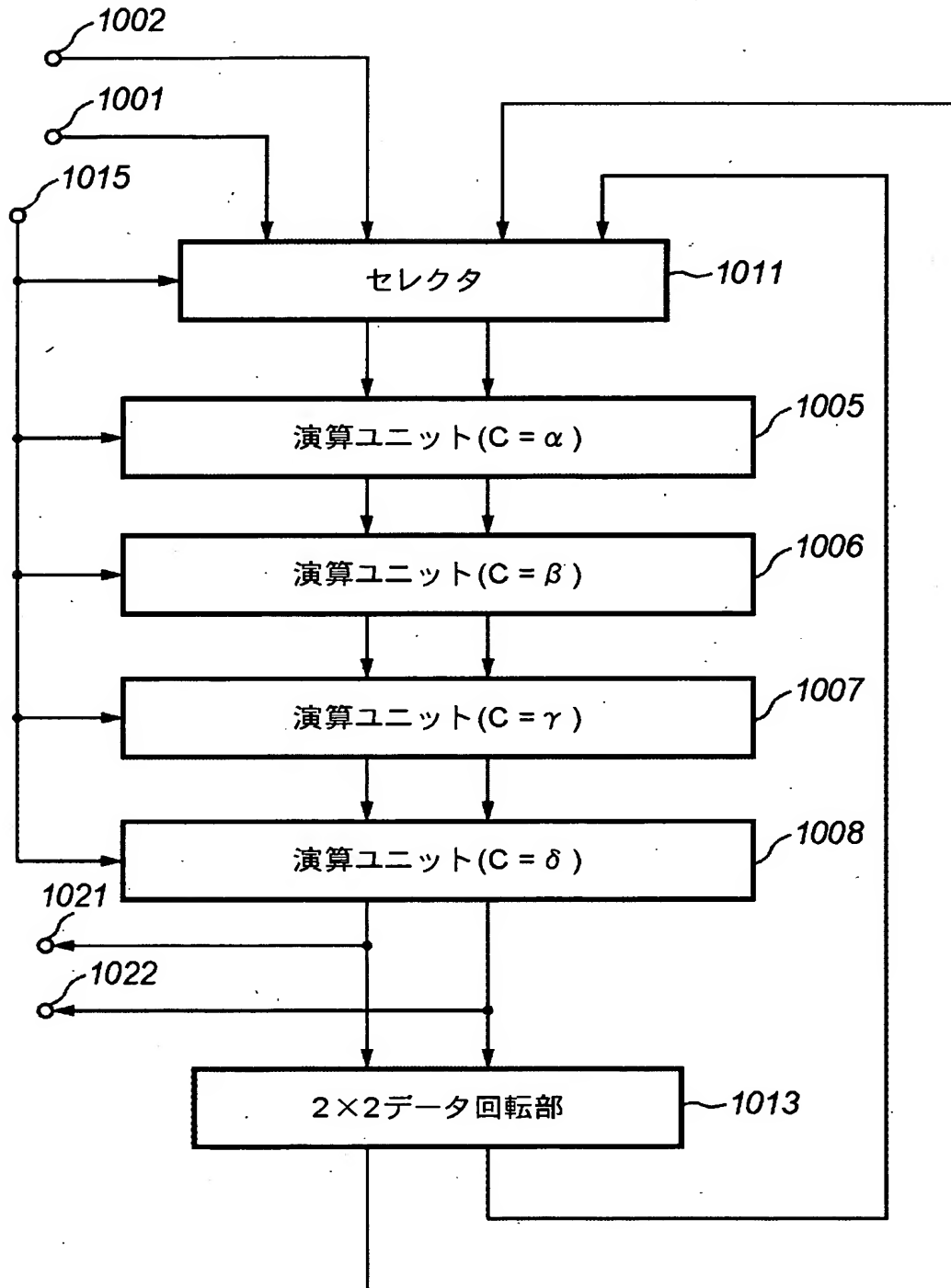
【図 8】



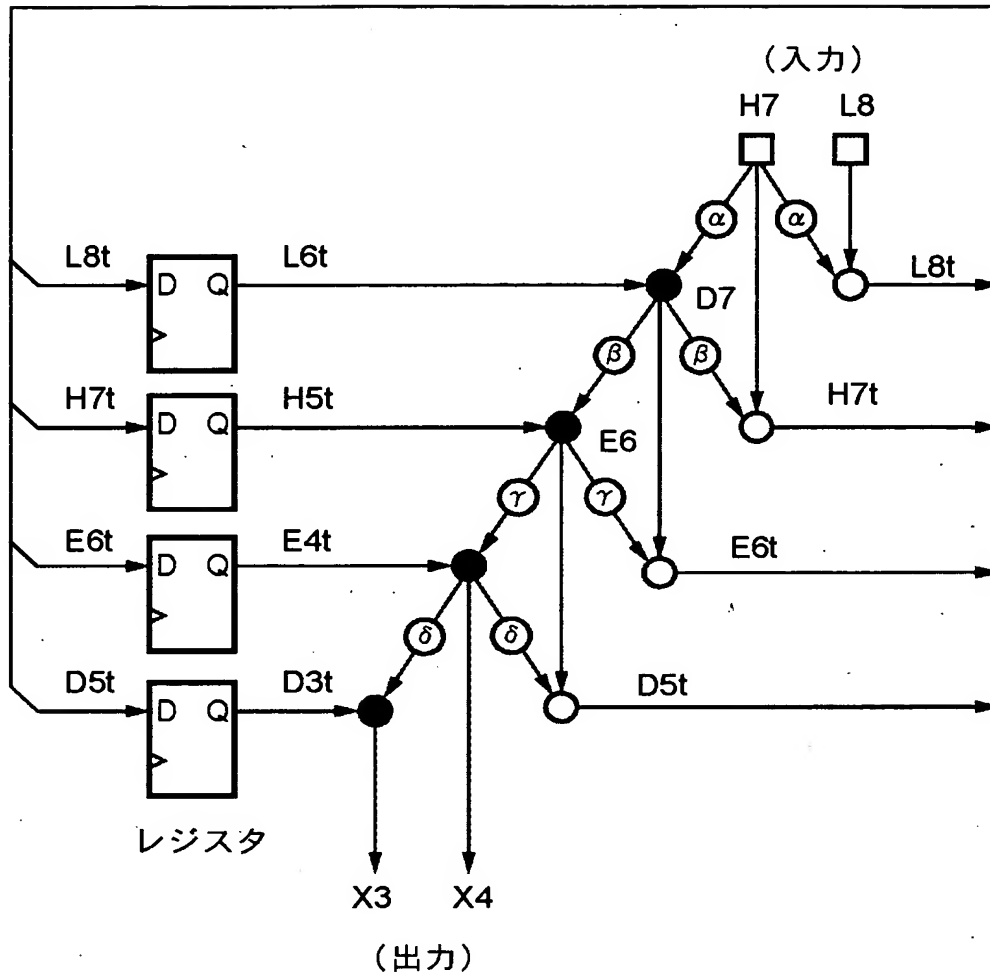
【図 9】



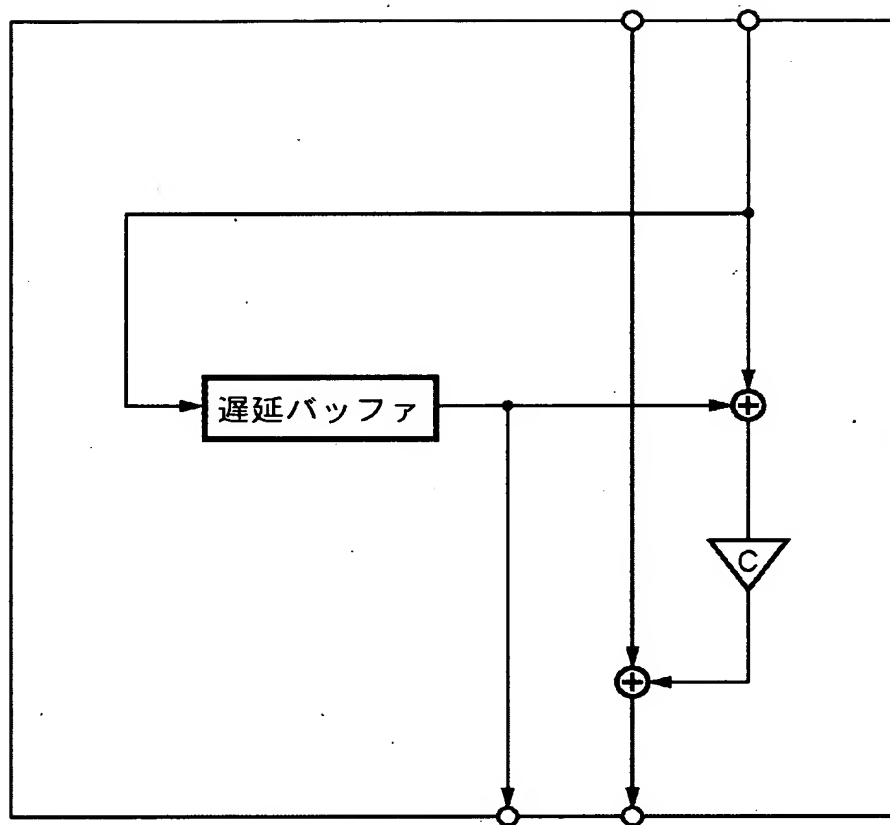
【図 1 0】



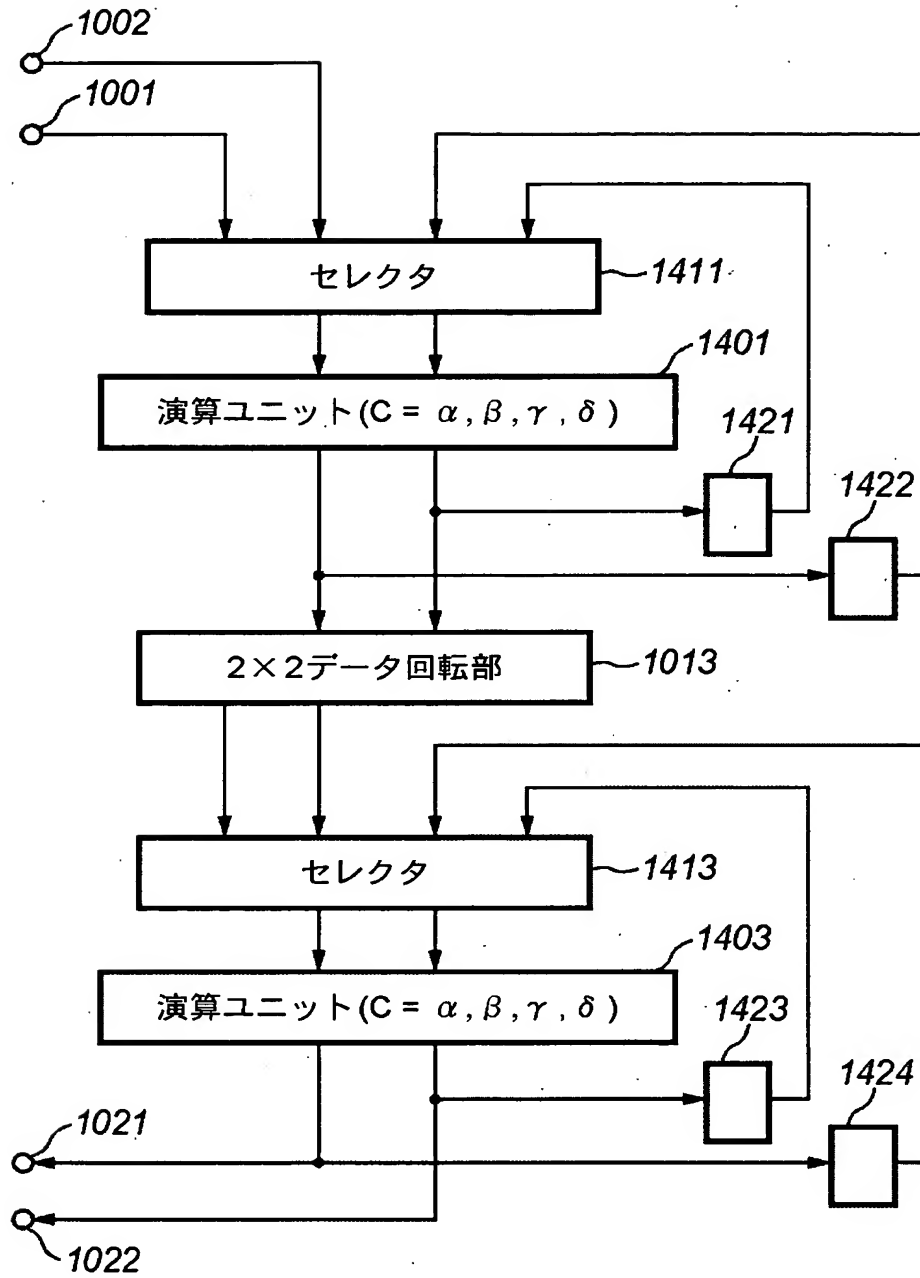
【図 1 1】



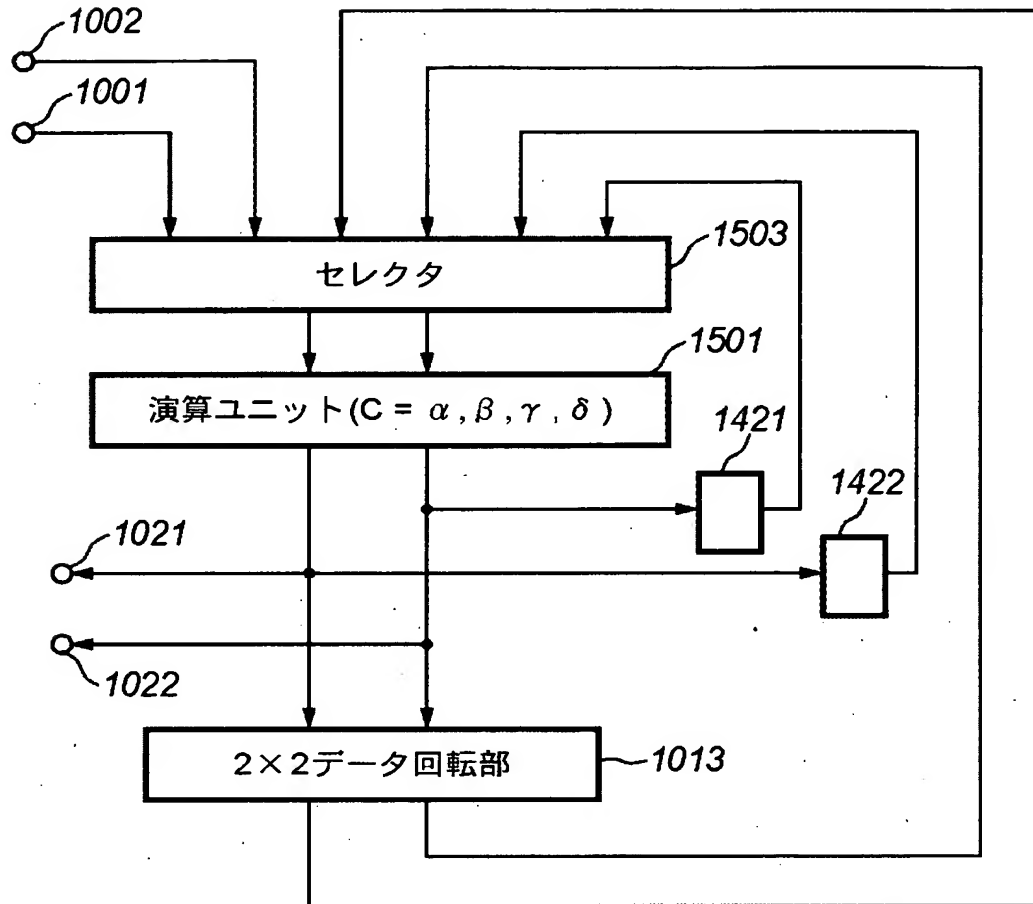
【図 1 2】



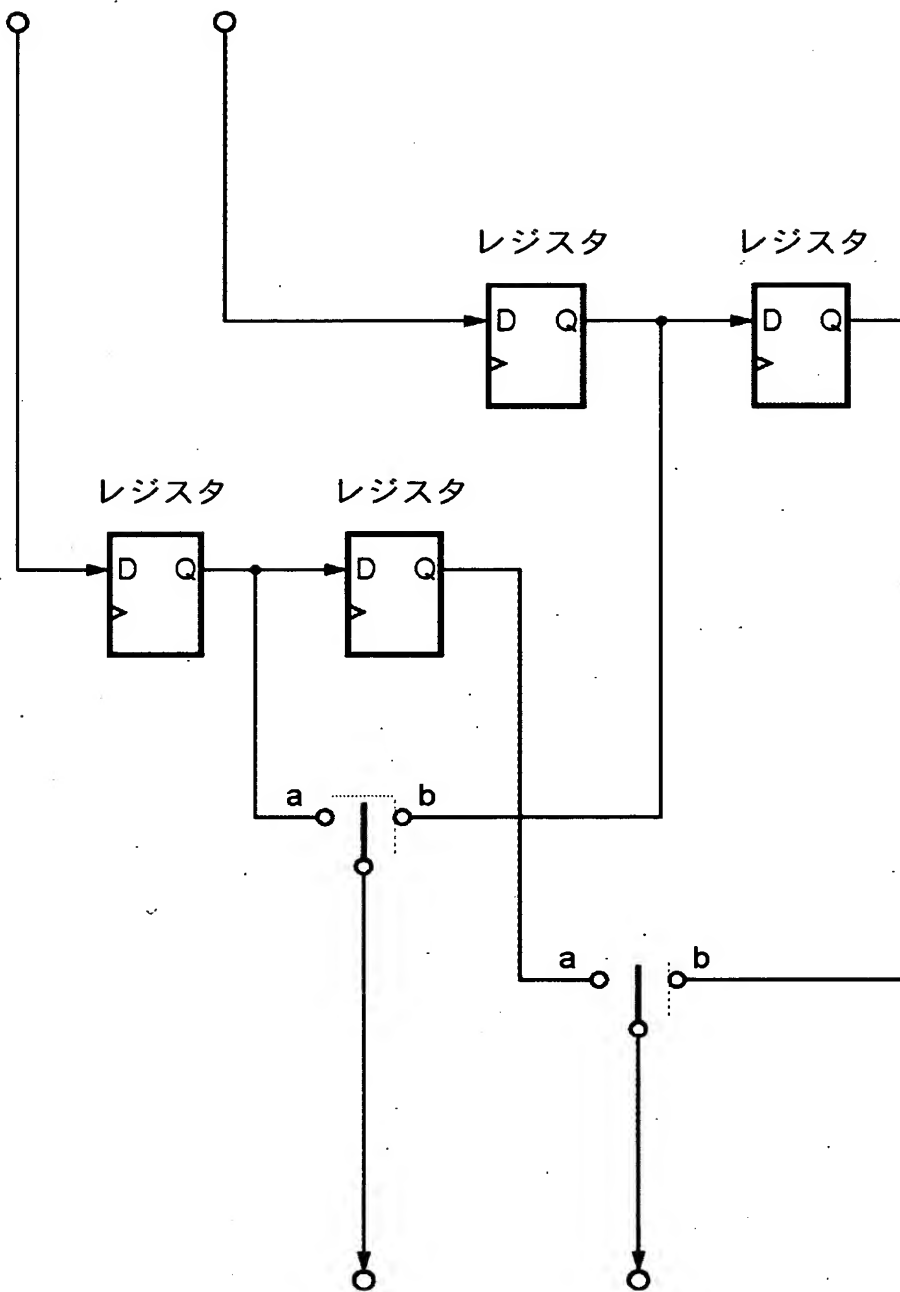
【図14】



【図 1 5】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 二次元情報の水平及び垂直方向にフィルタ処理するためのハードウェア構成を簡単なものとする。

【解決手段】 このため、水平或いは垂直方向の連続した2つのデータを単位に入力し（701、702）、水平方向については2つ、垂直方向には1ライン分の遅延手段（901、903と905）を備え、これらを適宜切り替え、処理データを巡回させる。

【選択図】 図9

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社